

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-237218

(43)Date of publication of application : 31.08.2001

(51)Int.Cl.

H01L 21/3065
H01L 29/78

(21)Application number : 2000-043005

(71)Applicant : NEC CORP

(22)Date of filing : 21.02.2000

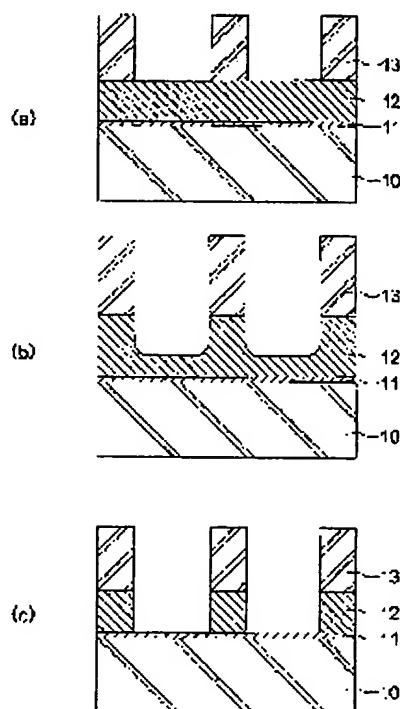
(72)Inventor : YOSHIDA KAZUYOSHI
IKEZAWA NOBUYUKI

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a gate oxidized film and a substrate from being damaged at the time of performing patterning for forming the gate electrode of a MOSFET.

SOLUTION: An SiO₂ gate oxidized film 11 and a polysilicon gate electrode film 12 are formed on a substrate 10, and the electrode film 12 is patterned by dry etching by utilizing a photoresist mask 13. In the patterning step, the polysilicon film 12 is left by about 100 Å in thickness by main etching which is performed while a Cl₂/HBr/CF₄ gas is made to flow and the thickness of the film 12 is measured. Then the remaining portion of the film 12 is removed by over-etching which is performed while HBr/O₂ is made to flow. Even in a high-pattern density area, consequently, the formation of sub-trenches is suppressed by the presence of the CF₄ and the surfaces of the gate oxidized film and substrate can be prevented from being damaged.



LEGAL STATUS

[Date of request for examination] 16.01.2001

[Date of sending the examiner's decision of rejection] 06.01.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-237218

(P2001-237218A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int. Cl.⁷H01L 21/80K6
29/78

識別記号

F1

H01L 21/802
29/78

F17 (参考)

C 6F004
301G 6F040

審査請求 有 請求項の数 9 頁 (全 9 頁)

(21) 出願番号 特願2000-43005 (P2000-43005)

(22) 出願日 平成12年2月21日 (2000.2.21)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 吉田 和由

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72) 発明者 池澤 延幸

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 10006281

弁理士 横堀 清

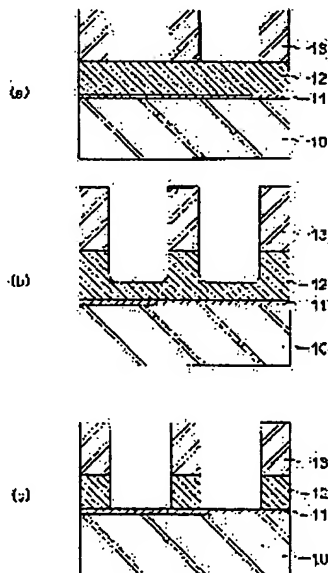
最狭義に読く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 MOSFETのゲート電極形成のためのパターニングに際して、ゲート酸化膜及び基板に生じるダメージを防止する。

【解決手段】 基板10上に、SiO₂から成るゲート酸化膜11及びポリシリコンから成るゲート電極膜12を形成し、フォトリソリットマスク13を利用してゲート電極膜12をドライエッチングでパターニングする。パターニング工程では、Cl₂/HBr/CF₄ガスを流し且つポリシリコン膜12の膜厚を測定しながら行うメインエッチングでポリシリコン膜12を100Å程度残し、次いで、HBr/O₂を流しながら行うオーバーエッチングで残るポリシリコン膜12を除去する。パターン密度が高いエリアにおいてもCF₄の存在によってサブプロセスの形成を抑え、ゲート酸化膜及び基板表面に生じるダメージを防止する。



【特許請求の範囲】

【請求項1】 基板上に酸化膜及びポリシリコン膜を順次に形成し、マスクを利用して前記ポリシリコン膜を選択的にドライエッチングするパターンニング工程を有する

る、半導体装置の製造方法において、前記パターンニング工程が、 Cl_2 、 HBr 及び CF_4 の存在下でポリシリコン膜をドライエッチングするメインエッチング工程と、 HBr 及び O_2 の存在下でポリシリコン膜をドライエッチングするオーバーエッチング工程とを順次に有することを特徴とする半導体装置の製造方法。

【請求項2】 前記メインエッチング工程では、 CF_4 の流量が $3.0 \sim 5.0 \text{ sccm}$ の範囲であり、雰囲気圧力が 1.0 mTorr であることを特徴とする、請求項1に記載の半導体装置の製造方法。

【請求項3】 前記オーバーエッチング工程では、雰囲気圧力が 5.0 mTorr 以上であり、 HBr 及び O_2 の流量が、それぞれ、 $1.0 \sim 2.0 \text{ sccm}$ 及び $1 \sim 3 \text{ sccm}$ の範囲であることを特徴とする、請求項1又は2に記載の半導体装置の製造方法。

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、 MOSFET のゲート電極の形成に好適な半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の高集積化に伴い、 MOSFET のゲート電極を縮小し、現時点で利用可能なフォトリソグラフィ技術で形成可能な最小サイズよりも小さな幅のゲート電極を形成する技術が提案されている。該技術では、ゲート絶縁膜上に形成したポリシリコン膜から、フォトリソグラフィ及びドライエッチング技術を利用したパターンニングによってゲート電極を形成する。ポリシリコン膜は、ゲート酸化膜(SiO_2)との選択比が低いメインエッチングで所定の厚さにエッチングした後、ゲート酸化膜との選択比が高いオーバーエッチングによってゲート酸化膜の表面までエッチングする。

【0003】しかし、上記提案された技術に従ってゲート電極をドライエッチングによって形成すると、ウエハ上でのパターン密度の粗密の違いによって、パターンサイズにはらつきが発生する、いわゆる面内形状差が生ずるという不具合がある。

【0004】特開平11-260799号公報には、上記不具合を解消する薄膜の微細加工方法が記載されている。該公報に記載の方法を図9を参照して説明する。シリコンウエハ301上に、 3 nm の酸化膜(SiO_2 膜)302、 200 nm のドーパドポリシリコン(DOPoS)膜303、 200 nm の窒化シリコン膜304をこの順に形成している。窒化シリコン膜304はフォトリソグラフィによって加工されており、その最小線幅は $0.13 \mu\text{m}$ である。

【0005】窒化シリコン膜304をマスクとして、 DOPoS 膜303を複数のステップによってエッチングする。第1のステップでは、例えば塩素ガス(Cl_2)を 120 ml/min の流量で供給しつつ、炉内圧力を 0.1 Pa 、 RF 電力を 160 mW 、マイクロ波電力を 500 mW とした条件で5秒間エッチングすることで、 DOPoS 膜表面に発生した自然酸化膜を除去する。第2のステップはメインエッチングであり、このメインエッチング工程では、 Cl_2 流量を 108 ml/min 、酸素ガス(O_2)流量を 12 ml/min として、 DOPoS 膜303と酸化膜302との間での選択比を小さくして DOPoS 膜303のエッチングを行う。

【0006】メインエッチング工程中に、光干渉式リアルタイム膜厚モニタによって、 DOPoS 膜303の残りの膜厚を測定し、膜厚が 30 nm になった時点でメインエッチング工程から、第3のステップであるオーバーエッチング工程に移行する。このオーバーエッチング工程では、 DOPoS 膜303と酸化膜302の間での選択比を高めるために、 O_2 流量を 3 ml/min 、 HBr 流量を 100 ml/min として行う。

【0007】 DOPoS 膜303のエッチングに際して、ゲート酸化膜301との間での選択比が低いメインエッチング工程と、選択比が高いオーバーエッチング工程とを組み合わせることによって、ゲート酸化膜302に生ずるエッチングダメージを防止する。特に、光干渉式膜厚モニタによってリアルタイムに膜厚を測定することで、メインエッチング工程とオーバーエッチング工程との間の切換えを、残存する DOPoS 膜の膜厚に従って制御している。

【0008】

【発明が解決しようとする課題】上記公報に記載の薄膜の微細加工方法では、ウエハ上でのパターン密度の差によって、 DOPoS 膜に望ましくないサブトレッチが発生し、このため、残存する DOPoS 膜の膜厚に差が出来るという問題がある。この様子を図10(a)～(c)に示した。

【0009】まず、図10(a)に示すように、メインエッチング中に特にパターン密度が大きなエリアにおいて DOPoS 膜303の側壁となる部分に僅かなサブトレッチ305が発生する。このサブトレッチ305は、メインエッチングの終了時点では、同図(b)に示すように、ゲート酸化膜302の表面にまで進行し、その後のオーバーエッチング工程において基板301の表面にまで進行し、基板表面にダメージが発生させるものである。つまり、メインエッチングでゲート酸化膜302に形成されたサブトレッチ305は、その後のオーバーエッチングによって基板表面にまで進行して基板ダメージが発生させ、得られる MOSFET の特性を劣化させるものである。

【0010】メインエッチング中にサブトレッチが発生

する原因としては、フォトレジストや酸化膜の側壁でのイオンの反射によって、ゲート電極の縁部でイオン密度が増大することが挙げられ、また、特にパターン密度が大きな領域では電子シェーディングがイオン入射軌道に影響を与えること等が考えられる。サブトレンチの発生は、デポジション種、その量、或いは、カバレージによって影響を受けることによってその程度が異なり、その結果、DOPOS膜の残存膜厚のばらつきに大きく影響する。しかし、従来は、この残存膜厚のばらつき抑制に関して有効な対策が採られていなかった。

【0011】本発明は、上記に鑑み、半導体装置の製造方法、特に、MOSFETを有する半導体装置の製造に際して、基板やゲート酸化膜にエッチングによるダメージが発生し難い、MOSFETのゲート電極のパターニング方法を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置の製造方法は、基板上に酸化膜及びポリシリコン膜を順次に形成し、マスクを利用して前記ポリシリコン膜を選択的にドライエッチングするパターニング工程を有する、半導体装置の製造方法において、前記パターニング工程が、 Cl_2 、 HBr 及び CF_4 の存在下でポリシリコン膜をドライエッチングするメインエッチング工程と、 HBr 及び O_2 の存在下でポリシリコン膜をドライエッチングするオーバーエッチング工程とを順次に有することを特徴とする。本発明の半導体装置の製造方法では、ゲート電極膜を、メインエッチングによって寸法制御性よくエッチングし、オーバーエッチングによってゲート酸化膜との選択比を高くしてエッチングする。メインエッチング工程に際して、形成されるサブトレンチ中にはデポジションによって CF_4 が付着するので、ポリシリコン膜に形成されるサブトレンチの形成が防止でき、メインエッチング工程後にポリシリコン膜の膜厚が平均化する。この平均化した膜厚のため、その後のオーバーエッチングによって発生しがちな酸化膜及び基板表面のダメージが防止できる。

【0013】なお、特開平11-176804号公報には、チタンサイド膜及びポリシリコン膜を順次にエッチングする際に、そのエッチングガスとして HBr に CF_4 を混合する旨が記載されている。しかし、該公報において CF_4 を混合する目的は、 $TiSi_2$ と Si のエッチングレートを近付けてエッチングの際に生ずる残さを防止するためであり、本発明におけるサブトレンチの形成を防止する CF_4 の利用目的とは異なる。本発明に係る半導体装置の製造方法の好ましい例では、前記メインエッチング工程中に、残存するポリシリコン膜の膜厚を光干渉計モニタで測定し、該光干渉計モニタの出力を1次微分した微分波形の変化に応じて、前記メインエッチング工程からオーバーエッチング工程に切り換える。このように、1次微分波形の変化を検出することによっ

て、残存するポリシリコンの膜厚が所定値に達したことが特に効果的に検出できる。

【0014】また、前記メインエッチング工程では、 CF_4 の流量が $30 \sim 50 sccm$ の範囲であり、雰囲気圧力が $10mTorr$ であることも本発明の好ましい態様である。この場合、サブトレンチの発生が特に良好に防止でき、且つ、良好なスループットでエッチングが可能である。 CF_4 の流量がこの範囲以下ではサブトレンチの効果的な抑制ができなく、この範囲以上では、得られるゲート電極の寸法にばらつきが生ずる。

【0015】更に、前記オーバーエッチングでは、雰囲気圧力が $50mTorr$ 以上であり、 HBr 及び O_2 の流量が夫々 $100 \sim 200 sccm$ 、 $1 \sim 3 sccm$ であることも本発明の好ましい態様である。この場合、酸化膜とポリシリコン膜との選択比が特に大きくとれて、酸化膜に与えるダメージが更に小さくなる。

【0016】本発明の半導体装置の製造方法によると、ポリシリコン膜から $0.1 \mu m$ 以下の幅を有するゲート電極を形成することができ、特に次世代の微細MOSFETに好適な形状のゲート電極が得られる。ポリシリコン膜のエッチングの際に利用するマスクとしては、フォトレジスト膜又は酸化シリコン膜等が利用できる。

【0017】

【発明の実施の形態】以下、図面を参照し本発明の好適な実施形態例に基づいて本発明を更に詳細に説明する。

【0018】図1(a)～(c)は夫々、本発明の一実施形態例に係る半導体装置の製造方法の工程を順次に示す、半導体装置の断面図である。本実施形態例の製造方法では、まず、同図(a)に示すように、シリコン基板10に、膜厚が 600 \AA のシリコン酸化膜11及び膜厚が 1500 \AA のゲート電極膜12を形成し、その上にフォトレジスト膜13を塗布し、フォトリソグラフィ技術によって、フォトレジスト膜13をパターニングする。ゲート電極膜12には、例えばドーフトポリシリコン(DOPOS)膜が用いられる。

【0019】次いで、ウエハステージの温度(基板温度)を $60^\circ C$ 、 Cl_2 の流量を $50 sccm$ とし、雰囲気圧力を $5mTorr$ 、ソースパワーを $200W$ 、バイアスパワーを $100W$ として、5秒間のエッチングを行い、DOPOS膜12上に生じた自然酸化膜を除去する。

【0020】次に、ゲート電極膜12をドライエッチングするメインエッチング工程に移行する。メインエッチング工程は、 Cl_2 の流量を $50 sccm$ 、 HBr の流量を $90 sccm$ 、 CF_4 の流量を $40 sccm$ とし、雰囲気圧力を $5mTorr$ 、ソースパワーを $300W$ 、バイアスパワーを $60W$ として行う。この条件によると、ゲート電極膜12のエッチレートは 1700 \AA で、均一性は $\pm 4.4\%$ である。また、ゲート電極膜12とゲート酸化膜11との間の選択比は約4である。このように、ゲート酸化膜11との選択比を小さくすることによって、

得られるゲート電極12の寸法制御性が高くなる。つまり、ゲート電極12の側壁が垂直形状になり、例えば、 $0.1\mu\text{m}$ 幅以下のゲート電極も寸法制御性よく形成可能となる。

【0021】メインエッチングを行いながら、ゲート電極12の残りの膜厚を測定する。膜厚の測定は、光干渉計を利用してリアルタイムで行う。光干渉計の信号が所定の変化を示したときに、残存するゲート電極12の膜厚が例えば最小で 100\AA 、最大で 230\AA であり、好ましい範囲にあるとして、オーバーエッチング工程に移行する。このオーバーエッチング工程では、HBrの流量を 150 sccm 、 O_2 の流量を 1.5 sccm とし、雰囲気圧力を 60 mTorr 、ソースパワーを 250 W 、バイアスパワーを 75 W として、約45秒間行う。この条件によると、ゲート電極12のエッチレートは 1200\AA で、均一性が $\pm 3.4\%$ である。また、ゲート電極12とゲート酸化膜11との間の選択比は、20以上と高くなる。

【0022】オーバーエッチング工程の終了時点では、オーバーエッチング工程での高い選択比の採用によって、ゲート電極12が完全にエッチングされ、ゲート酸化膜11は殆どがそのまま残存し表面に露出する。また、基板10の表面がゲート酸化膜11に保護されており、基板表面に発生するダメージが低減する。

【0023】上記のように、メインエッチング工程からオーバーエッチング工程に切り換える際に、残存するゲート電極12の膜厚を最小で 100\AA とすると、メインエッチング工程での均一性条件から、最も遅いエッチングレートのために、エッチングすべき位置に残存するゲート電極12の膜厚は 230\AA 程度となる。メインエッチング工程でゲート電極12を厚く残すと、その後の高選択比のオーバーエッチングによって、ゲート電極の側壁の垂直性が損なわれる。このため、残すゲート電極12は小さいほど好ましく、他方、メインエッチング工程が終了した時点でゲート電極12の膜厚がゼロとなってゲート酸化膜11を損傷する事態は防止する必要がある。メインエッチング工程でゲート電極12の側壁に良好な垂直性が得られれば、その後に行われるオーバーエッチング工程では、その良好な垂直性が維持される。実験によると、上記条件でゲート電極12に所望の膜厚が得られたメインエッチングの継続時間は45秒であった。

【0024】図2は、光干渉計による、残存するゲート酸化膜12の膜厚のリアルタイム測定の様子を示している。水銀ランプ21からの光を光ファイバ22によってミラー23に照射し、ミラー23からの反射光をレンズ24及び石英ウインドウ25を介して、エッチングチャンバ26内の下部電極28上に搭載したウエハ27に投射している。ウエハ27から反射した光は、再び、石英ウインドウ25及びレンズ24を介してミラー23に照

射し、ミラー23からの反射光は光ファイバ22を経由して干渉検出器29に入射している。ここで、ウエハ27上の、ゲート電極膜を成す、光学的に透明なポリシリコン膜の表面で反射する光と、ポリシリコン膜を透過しその表面で反射する光の相互干渉の有無が光干渉検出器29で検出される。

【0025】メインエッチング工程に際して、投射する光の波長を変えて干渉測定を行い、良好な光干渉信号が得られる波長を求めた。膜厚 1500\AA のゲート電極膜をエッチングした際における、波長 245 nm の光、波長 365 nm の光、及び、波長 435 nm の光による光干渉の観測結果を、図3～5に示した。横軸はエッチングの進行時間を示し、縦軸は観測された干渉信号の強度を任意単位で示している。なお、プラズマ発光の強度も併せて示している。何れの場合にも、ポリシリコン膜を完全にエッチングし終わるまで観測を続けた。

【0026】図3～図5の比較から理解できるように、図3に示した波長 254 nm の光での干渉観測では、有効な光干渉信号が得られなかった。これは、エッチングチャンバ26の石英ウインドウ25の内側に堆積物が付着して有効な信号が得られなかったからと推定された。

【0027】図4では、ポリシリコン膜が完全にエッチングされた時点から逆算して、エッチング開始から約40秒経過後に発生する干渉信号がエッチング工程の切換え時期を示すものと理解できる。この時点のポリシリコン膜の残存膜厚は最大で 500\AA であり、比較的有效にエッチング工程の切換え時期を検出している。

【0028】図5では、エッチング開始から約20秒後に光干渉を示す信号が発生するが、この時点では残存膜厚の最大は 1000\AA であった。つまり、検知された信号は、工程切換えに適切な時点での信号ではなく、従って、この波長の光では、有効な光干渉信号が得られないことが判明した。

【0029】上記観測結果から、波長 365 nm の光を光干渉の観測に利用すると、エッチング工程の切換え時期（エンドポイント）を有効に検知できる旨が判る。

【0030】図6は、膜厚 1000\AA のポリシリコン膜をエッチングする際に波長 365 nm の光で観測された光干渉信号を1次微分した微分信号を示している。エッチング工程の切換え時点を示すエンドポイントは、エッチング開始から54秒経過後に発生した。その際に、メインエッチング工程の前段で膜厚分布を測定した結果を図7に示す。図7(a)はエッチング前のゲート電極の原膜厚分布を示し、同図(b)はエンドポイントにおける膜厚分布を示している。エンドポイントにおける膜厚は、 $119\sim 174\text{\AA}$ の範囲にあり、その平均は 252\AA であった。この結果から、波長 365 nm の光で観測された光信号を1次微分した微分信号によって特に有効にエンドポイントが検知できる旨が理解できる。

【0031】上記実施形態例のゲート電極形成プロセス

では、自然酸化膜除去工程でCl₂をエッチングガスとして使用したが、これに代えて例えば100sccmのCF₄をエッチングガスとして使用できる。

実施例

本発明方法と従来方法とを比較した。何れもライン幅/スペースが0.18/0.24 μ mの場合について上記本発明の実施形態例及び従来技術で方法とで行った。

【0032】従来技術の方法では、エッチング条件として、自然酸化膜除去ステップでは、Cl₂の流量を50sccm、雰囲気圧力を5mTorr、ソース/バイアスパワーを200/100Wとし、5秒間行った。メインエッチングではCl₂/HBr/O₂の流量を100/150/3sccm、雰囲気圧力を10mTorr、ソース/バイアスパワーを300/25Wとし、膜厚測定を行ってオーバーエッチングに切り換えた。結果としてメインエッチングのエッチング時間は4.5秒間であった。オーバーエッチングでは、HBr/O₂の流量を150/1.5sccm、雰囲気圧力を60mTorr、ソース/バイアスパワーを250/75Wとし、4.5秒間行った。基板温度は60℃とした。

【0033】実施形態例の方法では、自然酸化膜除去ステップは、従来方法の条件と同じとした。メインエッチングでは、Cl₂/HBr/CF₄の流量を50/90/40sccm、雰囲気圧力を5mTorr、ソース/バイアスパワーを300/60Wとし、従来方法と同じ4.5秒間のエッチングを行った。オーバーエッチングでは、HBr/O₂の流量を150/1.5sccm、雰囲気圧力を60mTorr、ソース/バイアスパワーを250/75Wとし5秒間行った。基板温度は60℃に保った。

【0034】観測結果を図8(a)~(d)に示す。同図(a)及び(b)は従来方法のメインエッチング後及びオーバーエッチング後のゲート電極形状を示し、同図(c)及び(d)は、本発明方法のメインエッチング後及びオーバーエッチング後の電極形状を示す。

【0035】従来方法で形成されたゲート電極には、メインエッチング後に、サイドエッチング及び掘引きエッチング形状、並びに、特にパターン密度が高いエリアでのサブレンジの形成が見られた。これに起因して、オーバーエッチング後に掘引き形状が見られた。一方、本発明方法で得られたゲート電極には、メインエッチング後のサイドエッチングや掘引きエッチング形状、サブレンジの形成は見られず、このため、オーバーエッチング後には、良好な垂直形状の側面を有するゲート電極が得られた。

【0036】本発明方法における好ましいエッチング条件としては、メインエッチング工程におけるCF₄の流量は30~50sccmの範囲とし、雰囲気圧力を10mTorrとする。オーバーエッチング工程では、雰囲気圧力を50mTorr以上とし、HBr及びO₂の流量が夫々、

100~200sccm及び1~3sccmの範囲とする。上記条件によると、特に、0.1 μ m幅以下のゲート電極を形成する際にも好ましい形状及び寸法制御性が得られる。

【0037】以上、本発明をその好適な実施形態例に基づいて説明したが、本発明におけるゲート電極の形成方法は、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施したのも、本発明の範囲に含まれる。

【0038】

【発明の効果】以上説明したように、本発明の半導体装置の製造方法によると、ゲート酸化膜及び基板にダメージを発生させることなく、ゲート電極を形状制御性よく且つ高いスループットで形成できる効果がある。

【図面の簡単な説明】

【図1】(a)~(c)は夫々、本発明の一実施形態例の半導体装置の製造方法を順次に示す断面図。

【図2】リアルタイム光干渉計式膜厚モニタによる膜厚観測の様子を示す模式的断面図。

【図3】波長254nmの光を用いた際の光干渉計の出力を示すグラフ。

【図4】波長365nmの光を用いた際の光干渉計の出力を示すグラフ。

【図5】波長435nmの光を用いた際の光干渉計の出力を示すグラフ。

【図6】波長365nmの光を用いた光干渉計の出力を微分した信号を示すグラフ。

【図7】図6で示されたエンドポイントで得られた膜厚分布を原膜厚分布と比較して示す平面図。

【図8】実施例及び比較例の方法で得られたゲート電極の断面形状を比較して示す走査顕微鏡写真。

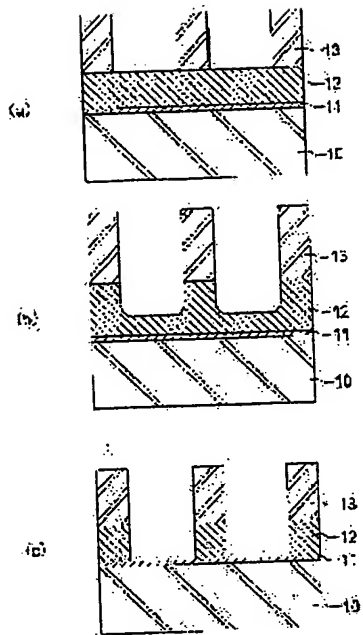
【図9】従来の半導体装置の製造方法で得られるゲート電極構造を示す断面図。

【図10】従来の半導体装置の製造方法で得られるゲート電極の形状を順次に示す断面図。

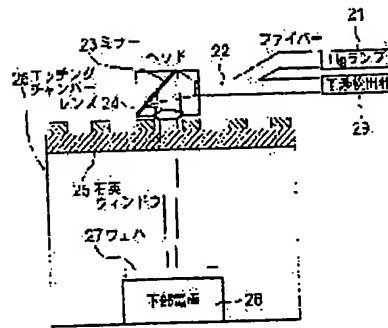
【符号の説明】

- 10: シリコン基板
- 11: ゲート酸化膜
- 12: ポリシリコン膜
- 13: フォトリソ resist 膜
- 21: 水銀ランプ
- 22: 光ファイバー
- 23: ミラー
- 24: レンズ
- 25: 石英ウィンドウ
- 26: エッチングチャンバ
- 27: ウエハ
- 28: 下部電極
- 29: 干渉検出器

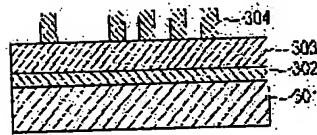
【図 1】



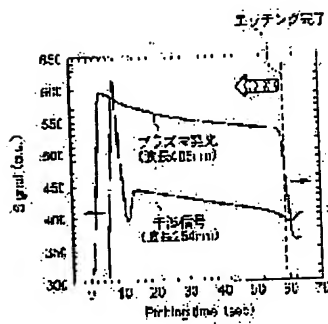
【圖.2】



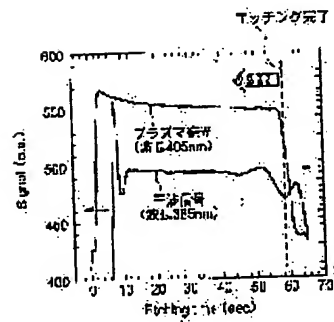
【圖 9】



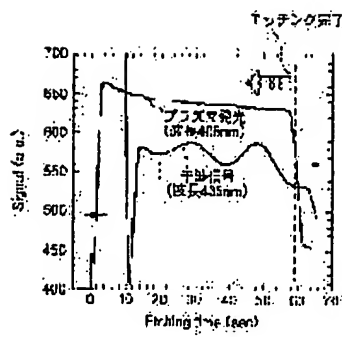
【圖 3】



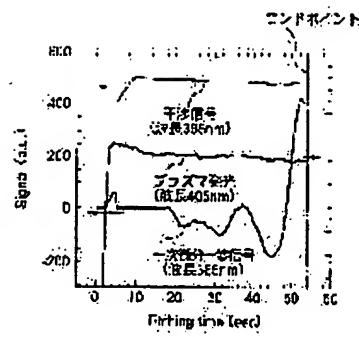
【图 4】



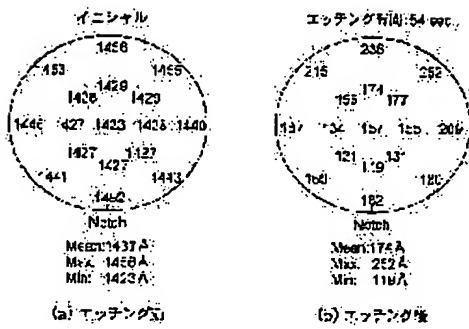
【図5】



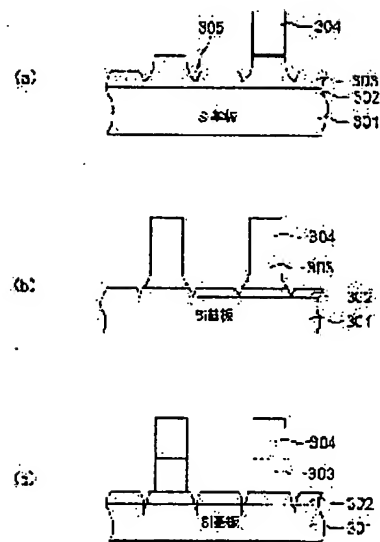
【図6】



【図7】

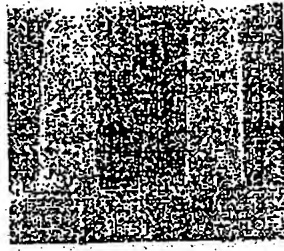


【図10】

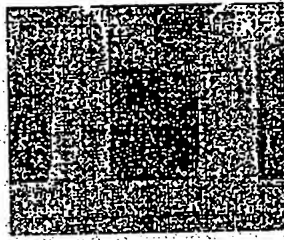


【图8】

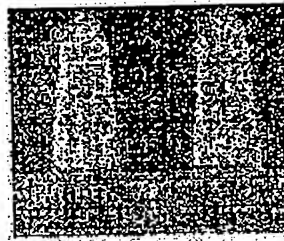
(a)



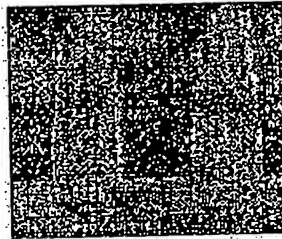
(b)



(c)



(d)



フロントページの続き

Fターム(参考) 5F004 AA06 BB26 CA01 CA02 CB09
CB16 CB18 DA01 DA04 DA26
DB02 EB02
5F040 DA00 DC01 EC07 FC00 FC21
FC23

THIS PAGE BLANK (USPTO)